

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-054956

(43)Date of publication of application : 27.02.1996

(51)Int.Cl.

G06F 1/06

G06F 9/46

(21)Application number : 06-209260

(71)Applicant : YAMAHA CORP

(22)Date of filing : 10.08.1994

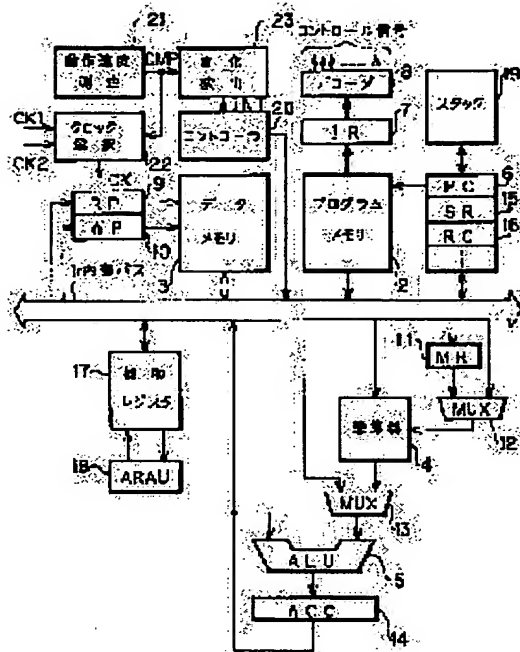
(72)Inventor : YAMAOKA NARIMITSU
KAMIYA SATORU

(54) PROCESSOR WITH THROUGHPUT VARYING FUNCTION

(57)Abstract:

PURPOSE: To secure the max. throughput of a processor main body by measuring the throughput based on the operating environment of the processor main body and controlling the processing amount per unit time of the processor main body.

CONSTITUTION: An operating speed measuring circuit 21 measures the switching speed of the transistor constituting this processor, compares the measured value with the internal set value and outputs the comparison result CMP. This comparison result CMP is supplied to a clock selection circuit 22 and is supplied to a change detection circuit 23. The clock selection circuit 22 supplies a low speed clock CK1 to each part as an operating clock CK when the operating speed of the processor is slow, judging from the comparison result CMP, and supplies a high speed clock CK2 to each part as the operating clock when the operating speed of the processor is fast. The change detection circuit 23 detects that the comparison result CMP changes and supplies an interruption signal INT to a controller 20.



LEGAL STATUS

[Date of request for examination] 20.11.2000

[Date of sending the examiner's decision of rejection] 26.08.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-54956

(43)公開日 平成8年(1996)2月27日

(51)Int.Cl.⁶

G 0 6 F 1/06
9/46

識別記号

庁内整理番号

3 4 0 D 7737-5B

F I

技術表示箇所

G 0 6 F 1/04

3 1 0 A

審査請求 未請求 請求項の数1 F D (全 4 頁)

(21)出願番号 特願平6-209260

(22)出願日 平成6年(1994)8月10日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 山岡 成光

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72)発明者 神谷 了

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

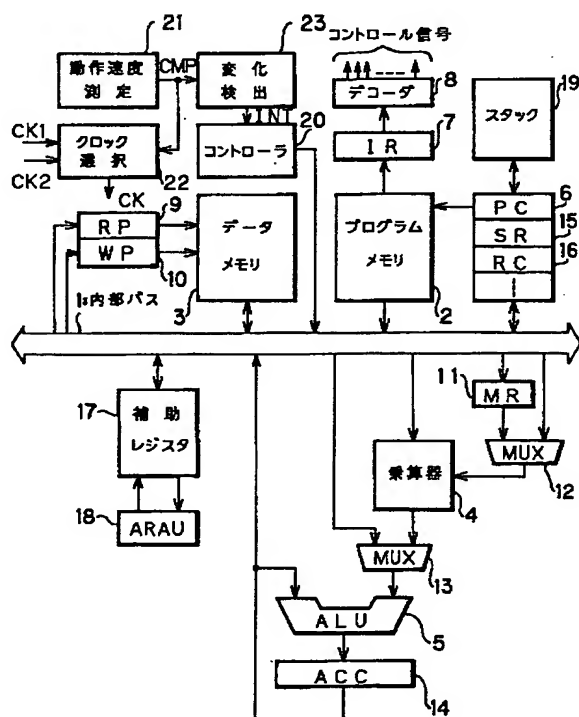
(74)代理人 弁理士 伊丹 勝

(54)【発明の名称】 処理能力可変機能付きプロセッサ

(57)【要約】

【目的】 動作環境に応じて最大限の処理能力を引き出す。

【構成】 プロセッサ本体の動作環境に起因した処理能力として動作速度を動作速度測定回路21で測定する。この測定結果に従って、クロック選択回路22でプロセッサの能力に応じた速度のクロック信号CKを選択し、また、変化検出回路23でコントローラ20に割込を入れて、マルチタスクプログラムのスケジューリングを変更する。



【特許請求の範囲】**【請求項 1】** プロセッサ本体と、

このプロセッサ本体の動作環境に起因した処理能力を測定する処理能力測定手段と、

この処理能力測定手段で測定された処理能力に従って前記プロセッサ本体の単位時間当たりの処理量を制御する処理量制御手段とを備えたことを特徴とする処理能力可変機能付きプロセッサ。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 この発明は、動作環境に応じて最大限の処理能力を引き出せるようにした処理能力可変機能付きプロセッサに関する。

【0002】

【従来の技術】 プロセッサの処理能力は、それが動作する周囲温度や印加電圧等の動作環境によって変化する。従来、プロセッサを駆動するクロック周波数は、プロセッサが最悪環境に置かれた場合を想定して決定するようにしている。例えば、プロセッサを構成する各トランジスタのスイッチング速度は、周囲温度が上昇すると低下する。このため、自動車の車内等で使用される場合には、かなりの温度上昇が予想され、クロック周波数も安全を見てかなり低めに設定せざるを得ない。

【0003】

【発明が解決しようとする課題】 しかしながら、このように最悪条件を考慮してクロック周波数を決定すると、常温環境においては、プロセッサが最悪条件の 2 倍の処理能力を持っていたとしても、その能力をフルに引き出すことができないという問題点がある。この発明は、このような問題点を鑑みなされたもので、動作環境に応じて最大限の処理能力を引き出すことができる処理能力可変機能付きプロセッサを提供することを目的とする。

【0004】

【課題を解決するための手段】 この発明に係る処理能力可変機能付きプロセッサは、プロセッサ本体と、このプロセッサ本体の動作環境に起因した処理能力を測定する処理能力測定手段と、この処理能力測定手段で測定された処理能力に従って前記プロセッサ本体の単位時間当たりの処理量を制御する処理量制御手段とを備えたことを特徴とする。

【0005】

【作用】 この発明によれば、処理能力測定手段でプロセッサ本体の動作環境に起因した処理能力を測定し、その処理能力に従って処理量制御手段がプロセッサ本体の単位時間当たりの処理量を制御するので、動作環境に応じてプロセッサ本体の処理能力を最大限に引き出すことが可能になる。

【0006】

【実施例】 以下、図面を参照して、この発明の実施例を説明する。図 1 は、この発明の一実施例に係る処理能力

可変機能付きプロセッサの構成を示すブロック図であり、一例として DSP（ディジタル・シグナル・プロセッサ）のような演算プロセッサを示している。内部バス 1 には、演算処理プログラムを格納するプログラムメモリ 2 と、演算処理に必要な係数や信号データ等を格納するデータメモリ 3 と、演算器を構成する乗算器 4 及び算術論理ユニット（ALU）5 等が接続されている。プログラムメモリ 2 に格納された命令コードは、プログラムカウンタ 6 によって一つずつ読み出され、インストラクションレジスタ 7 に格納されたのち、デコーダ 8 に供給されて解釈される。これにより、各部がコントロール信号によって制御される。データメモリ 3 の読出アドレスと書込アドレスとは、それぞれ読出ポインタ 9 及び書込ポインタ 10 によって指定される。

【0007】 乗算器 4 に与えられる係数等のデータは、データメモリ 3 から読み出された内部バス 1 を介して乗算レジスタ 11 に格納される。この格納データと、プログラムメモリ 2 から内部バス 1 を介して供給されたオペランドとが、マルチプレクサ 12 によって択一的に選択され、乗算器 4 の一方に与えられ、乗算器 4 の他方に信号処理データ等が与えられる。乗算器 4 の出力と内部バス 1 を介して与えられるデータのいずれか一方が、マルチプレクサ 13 によって選択され、ALU 5 の一方の入力として与えられ、ALU 5 の出力又は内部バス 1 上のデータが ALU 5 の他方の入力として与えられる。ALU 5 の出力はアキュムレータ 14 に格納される。ALU 5 の計算結果によって決定されるステータス情報は、ステータスレジスタ 15 に格納される。また、ループ処理の処理回数は、ループカウンタ 16 に保持される。この他、このプロセッサには、補助レジスタ 17 及び補助レジスタ専用演算ユニット 18 が設けられている。また、スタック 19 には、同一タスク内で分岐処理等が発生した場合のプログラムカウンタの値がスタックされる。コントローラ 20 は、これら各部を制御する。

【0008】 以上がプロセッサ本体を構成するが、このプロセッサには、このプロセッサ本体の動作環境に基づく処理能力を測定するため、動作速度測定回路 21 が設けられている。この動作速度測定回路 21 は、プロセッサを構成するトランジスタのスイッチング速度を計測し、その計測値と内部の設定値とを比較してその比較結果 CMP を出力する。この比較結果 CMP は、クロック選択回路 22 に供給されると共に、変化検出回路 23 に供給されている。クロック選択回路 22 は、比較結果 CMP からプロセッサの動作速度が遅い場合には低速クロック CK1 を動作クロック CK として各部に供給し、プロセッサの動作速度が速い場合には高速クロック CK2 を動作クロック CK として各部に供給する。また、変化検出回路 23 は、比較結果 CMP が変化したことを検出し、割込信号 INT をコントローラ 20 に供給する。

【0009】 図 2 は、動作速度測定回路 21 の具体的な

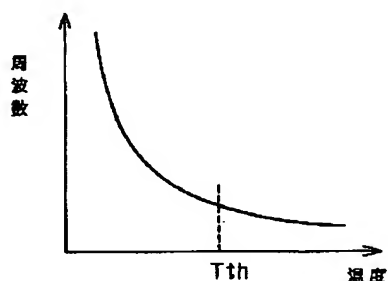
構成例を示すブロック図である。縦続接続された 5 つのインパータ 31, 32, 33, 34, 35 は、帰還型の発振回路 36 を構成している。この発振回路 36 の出力は、カウンタ 37 によって計数される。タイマ 38 は、例えば水晶発振回路で生成された低速クロック CK1 によって一定時間を計測し、この一定時間が経過した後にカウンタ 37 の計数動作を停止させる。この計数値と設定値レジスタ 40 の設定値とが比較器 39 によって比較され、計数値 \leq 設定値の場合は比較結果 CMP が“1”、計数値 $>$ 設定値の場合は比較結果 CMP が“0”となる。

【0010】以上の構成によれば、発振回路 36 を構成するトランジスタのスイッチング速度が温度上昇と共に低下するので、図 3 に示すように、発振回路 36 の周波数も、温度上昇に伴って低下する。このため、プロセッサの温度がある設定温度 T_{th} よりも低い場合には、カウンタ 37 の計数値 $>$ 設定値となって比較結果 CMP が“0”となり、プロセッサの温度がある設定温度 T_{th} よりも高くなると、計数値 \leq 設定値となって比較結果 CMP が“1”になる。そこで、前者の場合には、高速クロック CK2 を各部に供給してプロセッサ本体の処理能力を最大限に引き出し、後者の場合には、低速クロック CK1 を各部に供給してプロセッサ本体の動作を制限させることにより、周囲環境に応じた適切な処理能力でプロセッサを駆動することができる。この場合、クロック選択回路 22 は、処理量制御手段を構成することになる。

【0011】なお、上述の例では、動作速度測定回路 21 がプロセッサ本体と同一の IC 内に形成されているため、プロセッサ本体の動作能力を正確に把握することができるという利点がある。しかし、動作環境に起因した処理能力を測定するという点では、プロセッサ本体とは別体の温度センサ等を用いてもこの発明の目的は達成し得る。

【0012】また、プロセッサが図 4 に示すようなマルチタスク処理を実行している場合には、比較結果 CMP が変化する度に変化検出回路 23 がコントローラ 20 に割込信号 INT を出力する。これにより、例えば温度上

【図 3】



昇時には、図 4 (a) に示すスケジューリングに対して、割込処理を起動することにより、リスケジュールが実行され、同図 (b) に示すように、あまり重要度が高くない例えば画面スクロール処理等のタスク C を処理から外したり、優先度のランクを落とすなどしてプロセッサの処理量を低減させる。

【0013】図 5 は、上記割込処理の概要を示すフローチャートである。割込処理起動されたら、まず比較結果 CMP を取り込み (S1)、優先順位の切換の必要性を判断する (S2)。もし、必要である場合には、スケジュール変更を行う (S3)。これらの処理も処理量制御手段の一態様となる。

【0014】なお、以上は温度検出によってプロセッサの処理能力を変化させるようにしたが、これと全く同様に電圧検出によってもプロセッサの処理量を適切に制御する事が可能である。

【0015】

【発明の効果】以上述べたように、この発明によれば、処理能力測定手段でプロセッサ本体の動作環境に起因した処理能力を測定し、その処理能力に従って処理量制御手段がプロセッサ本体の単位時間当たりの処理量を制御するので、動作環境に応じてプロセッサ本体の処理能力を最大限に引き出すことが可能になる。

【図面の簡単な説明】

【図 1】 この発明の一実施例に係る処理能力可変機能付きプロセッサのブロック図である。

【図 2】 同プロセッサにおける動作速度測定回路のブロック図である。

【図 3】 同測定回路における発振回路の周波数と温度との関係を示すグラフである。

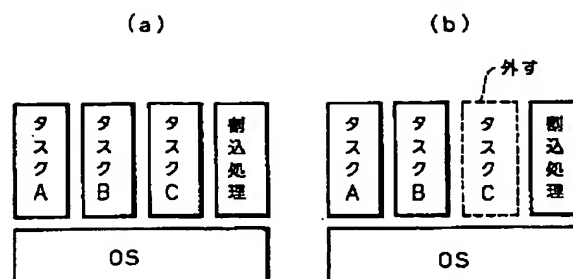
【図 4】 同プロセッサにおけるマルチタスク処理の処理量変更の具体例を説明するための図である。

【図 5】 同プロセッサにおける割込処理の概要を示すフローチャートである。

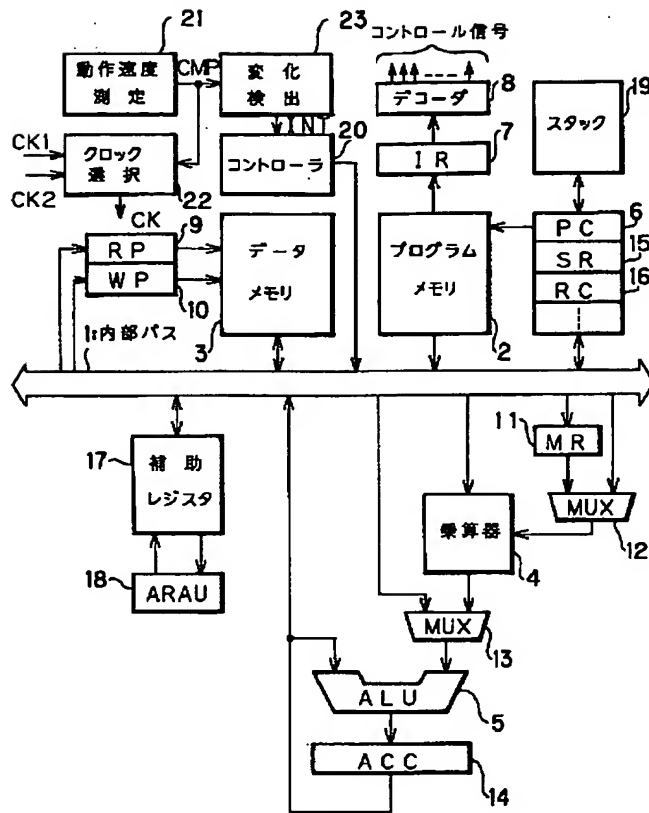
【符号の説明】

21…動作速度測定回路、22…クロック選択回路、23…変化検出回路。

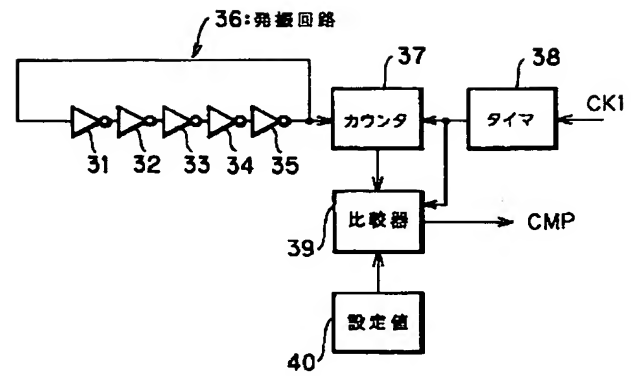
【図 4】



【図 1】



【図 2】



【図 5】

